

① 日本国特許庁 公開特許公報

特 願 (2) 47-31948

昭和47年3月30日

特許庁長官 井土 俊 久 殿

1. 発明の名称 半 導 体 装 置
2. 発 明 者
住 所 神奈川県横浜市上永町1015番地
富士通株式会社内
氏 名 飯 本 宣 弘
3. 特許出願人
住 所 神奈川県横浜市上永町1015番地
氏 名 (522) 富士通株式会社
代 理 人 高 藤 芳 光
4. 代 理 人
住 所 東京都豊島区西巣鴨2丁目5番2号
氏 名 (7139) 弁理士 玉 越 久 五 郎

5. 添付書類の目録

- | | | | |
|-----|-----|---|-----|
| (1) | 図 | 面 | 1 面 |
| (2) | 図 | 面 | 1 面 |
| (3) | 表 | 紙 | 1 紙 |
| (4) | 願 書 | 本 | 1 冊 |

47 031948

明 細 書

1. 発明の名称 半 導 体 装 置

2. 特許請求の範囲

P型半導体基板にN型のベース領域と、その周辺にP型のアイソレーション領域と、該N型のベース領域内に設けたP型のコレクタ及びエミッタ領域とを有するラテラル形式のPNPトランジスタにおいて、該トランジスタの上記エミッタおよびコレクタ領域を包むように拡散深さの大きいN型の領域を設けたことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は、半導体装置、特にP型半導体基板にN型のベース領域と周辺にP型のアイソレーション領域と、該ベース領域内にP型のエミッタ及びコレクタ領域とを有するラテラル形式のPNPトランジスタにおいて、深いN型領域を拡散により形成せしめることにより、アイソレーション領域へのホールの流出を防止せしめるようにした半導体装置に関するものである。

一般にラテラル形式のPNPトランジスタに於いて

①特開昭 48-100082

④公開日 昭48.(1973)12.18

②特願昭 47-31948

②出願日 昭47.(1972)3.30

審査請求 未請求 (全3頁)

庁内整理番号

⑤日本分類

6513 59

99B1H0

7113 59

99B1EZ

てはN型ベース領域底部にN型の埋込み層を設けると共にその周辺にP型アイソレーション領域を設け、PNジャンクションを利用して作と分離するようにしている。

このようなラテラル形式のPNPトランジスタのP型半導体基板を例えばコレクタと接続した上で該接続点と大地との間の電流を測定すると、その電流は一般にコレクタ自体と大地との間の電流よりも大となる現象がある。

また寄生PNPトランジスタ効果が発生し、集積回路動作時においては直流通位の変動を起し、正常な機能を果さなくなることが生ずる。

これらはホールがアイソレーション領域に流出するためと考えられ、本発明はこの点を解決しようとするものである。そして本発明の半導体装置はP型半導体基板にN型のベース領域とその周辺にP型のアイソレーション領域と、上記ベース領域内にP型のエミッタ及びコレクタ領域とを有するラテラル形式のPNPトランジスタにおいて、該トランジスタのエミッタおよびコレクタ領域を包

(1)

-473-

(2)

むよりに深い N^+ 型の領域を設けたことを特徴としている。以下図面を参照しつつ説明する。

第1図(4)および(5)は従来のラテラル形式のPNPトランジスタを示し、第2図はホールの漏洩があるときの特性曲線を示している。そして第3図(4)および(5)は本発明によるラテラル形式のPNPトランジスタの一実施例を示している。

図中、1はP型半導体基板、2はエミッタまたはコレクタのいずれか一方例えば P^+ 型のエミッタ領域、3はエミッタまたはコレクタのいずれか他方例えば P^+ 型のコレクタ領域、4は N^+ 型のベース電極取付部、5は N^+ 型の埋込み層、6は周辺を囲むように設けられた P^+ 型のアイソレーション領域、7は N 型のベース領域を示している。

従来の形式の第1図においては、 P 型の半導体基板1の所定領域に N^+ 型の埋込み層5が形成され、ついで N 型のベース領域7および P^+ 型のアイソレーション領域6が形成され、さらに N 型のベース領域7に N^+ 型のベース電極取付部4、 P^+ 型のエミッタ領域2および P^+ 型のコレクタ領域3が形成さ

(5)

れ6に流れ出る。

第2図はこの間の状態を定性的に示すものであり、図中横軸はベース・コレクタ間の電圧 V_{bc} 、縦軸はコレクタ電流 I_c を示し、 I_E はエミッタ電流、 I_B はアイソレーション領域6に漏洩した電流によるロス分を示している。

即ち第1図に示す如き従来のラテラル形式のPNPトランジスタのコレクタ電流は第2図中実線で表わされる特性となるが、このときコレクタ3と半導体基板1とを接続した上で接点に向う電流を測定すると、点線で示すように実測の電流にくらべて電流 I_B だけ大となる。これは第1図に関連して説明した如く、ホールがアイソレーション領域6に漏洩し、その分が電流ロス分 I_B となつて、本来あるべき点線の如きコレクタ電流 I_c を実測の如く変化させてしまっていることを表わしている。

第3図(4)および(5)は本発明によるトランジスタの一実施例で、図中の符号は第1図のものと対応づけられている。

(5)

れている。

特開昭48-110022(2)

この形式のラテラルPNPトランジスタにおいては、主として次の2つの点において問題がある。即ち、

(1) トランジスタが飽和領域で動作しているときコレクタ3がベース4よりも一般に不純物濃度が高いために、コレクタ5よりベース領域に向ってホールの注入があり、このホールの一部が P^+ 型のアイソレーション領域6に流出する。このホール流出は寄生PNPトランジスタ効果を生じ、集積回路の場合などにおいては直流電位の変動を生じ、正常な機能を消失させることになりかねない。また、

(2) トランジスタが活性領域で動作しており、エミッタ・コレクタ間の電圧 V_{ce} が小さい場合、エミッタ2よりベースへ注入された少数キャリア即ちホールはコレクタ3接合の空乏層によって吸収されるべきものであるが、電圧 V_{ce} が小さいため空乏層が十分大きく拡がっておらず、注入されたホールの一部分はアイソレーション領

(4)

この場合、第1図のものにくらべて、ベース領域4はエミッタ領域2およびコレクタ領域3を包むようにパターンをつくり、このパターンによって深い N^+ 型領域を図の例では埋込み層5に連通するかあるいはそれに接近する程度まで拡散によって形成させている。

N^+ 型領域4の深さは、上述したコレクタ3からおよびエミッタ2から注入されるホールが実質上 P^+ 型のアイソレーション領域6に向って流出することを防ぎ得る程度であればよい。

即ち深い N^+ 型層4による内部電界が充分強くてホールを通過させないか、もしくは高不純物濃度することにより充分再結合させ、アイソレーション領域6へのホールの漏洩を防ぐことができればよい。

本発明の場合特性は第2図点線の如くなり、ホールの流出は完全に防止できることが確められた。

以上説明した如く、本発明はPNP型のラテラル形式のトランジスタにおいて、深い N^+ 型領域4をエミッタ領域2およびコレクタ領域3を取り囲む

(6)

特開 第48-100082 (3)

図 1

ように設けたため、エミッタおよびコレクタより注入されたホールがアイソレーション領域にも漏洩することがなくなり、増幅に関与しない電流ロス分 I_B を減少せしめることができ、寄生 PNP トランジスタ効果を生じさせることがなくなるため効率の良い増幅動作ができる利点をもっている。

4. 図面の簡単な説明

第 1 図 (A) および (B) は従来のラテラル形式の PNP トランジスタを示し、第 2 図はホールの漏洩による損失を説明する特性曲線を示している。そして第 3 図 (A) および (B) は本発明によるラテラル形式の PNP トランジスタの実施例を示している。

第 3 図において、1 は P 型半導体基板、2 はエミッタ領域、3 はコレクタ領域、4 はベース電極取付部、5 は埋込み層、6 はアイソレーション領域、7 はベース領域を表わしている。

特許出願人 富士通株式会社
代理人弁理士 玉 森 久 五 郎
外 2 名

(7)

図 3

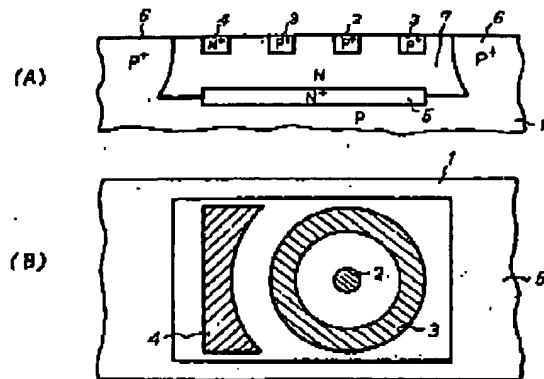
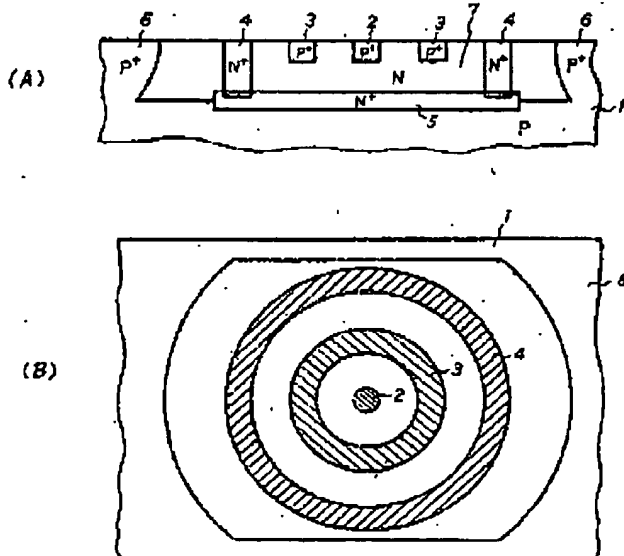
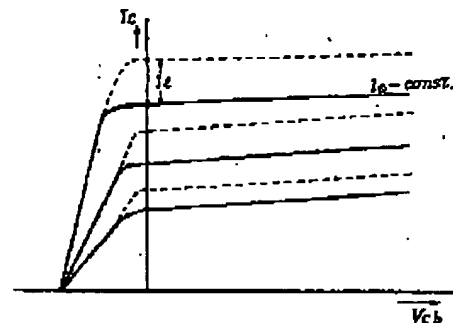


図 2



6. 前記以外の代理人

住 所 東京都港区南長崎2丁目5番2号
氏 名 (7283) 弁理士 柏 谷 昭 司
(7484) 弁理士 森 田 寛

